

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(19)

(11) Publication number: 2002025251 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 2000204821

(51) Int. Cl. G11C 11/401 H01L 27/10 H01L 27/108
H01L 21/8242

(22) Application date: 06.07.00

(30) Priority:

(43) Date of application
publication: 25.01.02(84) Designated
contracting states:(71) Applicant: MITSUBISHI ELECTRIC CORP
MITSUBISHI ELECTRIC ENGINEERING
CO LTD(72) Inventor: TANIZAKI HIROAKI
TOMISHIMA SHIGEKI

(74) Representative:

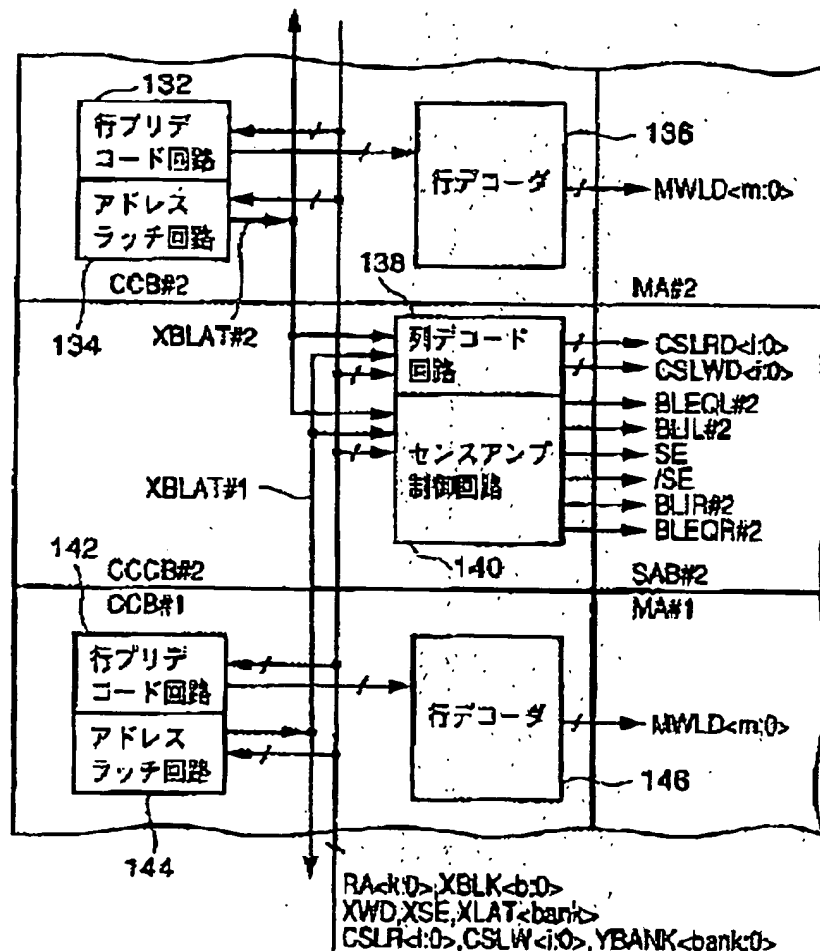
(54) SEMICONDUCTOR
STORAGE DEVICE

(57) Abstract

PROBLEM TO BE SOLVED: To
provide a DRAM core whose
memory capacity is easily changed.

SOLUTION: Corresponding address
latch circuits, row pre-decode
circuits and row decoders are
arranged on center circuit bands
CCB#1 and CCB#2 on the side
faces of the memory cell arrays
MA#1 and MA#2. A column decode
circuit and a sense amplifier control
circuit 140 for controlling the
activation of a sense amplifier are
arranged on center cross circuit
band CCCB#2 on the side face of a
sense amplifier band SAB#2 shared
by the memory cell arrays MA#1
and MA#2. The number of signal
lines transmitted from the center
circuit band CCB#2 to the center
cross circuit band CCCB#2 can be
reduced, wiring congestion is
released, and the DRAM core whose
memory capacity is easily changed
can be realized.

COPYRIGHT: (C)2002,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-25251

(P2002-25251A)

(43)公開日 平成14年1月25日(2002.1.25)

(51)Int.Cl.	識別記号	F I	テマコード(参考)
G11C 11/401		H01L 27/10	461 5B024
H01L 27/10	461	G11C 11/34	371K 5F083
27/108		H01L 27/10	681E
21/8242			681B

審査請求 未請求 請求項の数10 - O L (全 16 頁)

(21)出願番号 特願2000-204821(P2000-204821)

(22)出願日 平成12年7月6日(2000.7.6)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71)出願人 591036457

三菱電機エンジニアリング株式会社

東京都千代田区大手町2丁目6番2号

(72)発明者 谷崎 弘晃

東京都千代田区大手町二丁目6番2号 三

菱電機エンジニアリング株式会社内

(74)代理人 100064746

弁護士 深見 久郎 (外4名)

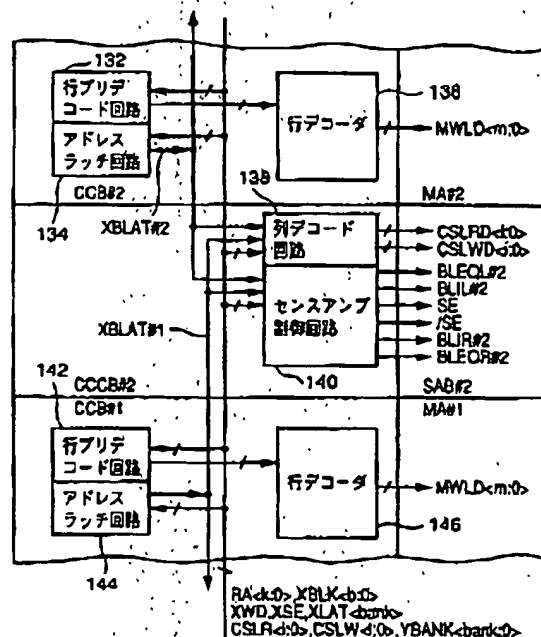
最終頁に続く

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 メモリ容量の変更が容易なDRAMコアを提供する。

【解決手段】 メモリセルアレイMA#1、MA#2の側方のセンタ-回路帯CCB#1、CCB#2には、対応するアドレスラッチ回路、行ブリデコード回路および行デコードが配置される。メモリセルアレイMA#1、MA#2に共有されるセンスアンプ帯SAB#2の側方のセンタ-クロス回路帯CCC#2には列デコード回路およびセンスアンプの活性化の制御を行なうセンスアンプ制御回路140を配置する。センタ-回路帯CCB#2からセンタ-クロス回路帯CCC#2に伝達される信号線の数を減らすことができ、配線の複雑が緩和され、メモリ容量の変更が容易なDRAMコアを実現することができる。



(2)

特開2002-25251

1

【特許請求の範囲】

【請求項1】 半導体基板の主表面上に3行2列のマトリクス状に配置される各々が四角形の形状を有する第1～第6の領域を備え、

前記第1～第3の領域は、第1列に配置され、

前記第4～第6の領域は、それぞれ前記第1～第3の領域に隣接し、第2列に配置され、

前記第1、第3の領域は、

各々が行列状に配置される複数のメモリセルを含み、四角形の形状を有する第1、第2のメモリセルアレイをそれぞれ含み、

前記第2の領域は、

前記第1、第2のメモリセルアレイに共有され、前記第1、第2のメモリセルアレイの間に配置され、第1、第2の長辺がそれぞれ前記第1、第2のメモリセルに接する長方形の第1のセンスアンプ帯を含み、

前記第4、第6の領域は、

それぞれ前記第1、第2のメモリセルアレイに対応して設けられメモリセルの行選択を行なう第1、第2の行デコーダを含み、

前記第5の領域は、

前記第1、第2のメモリセルアレイの列選択を行なう第1の列デコーダと、

前記第1のセンスアンプ帯に制御信号を出力する第1のセンスアンプ制御回路とを含む、半導体記憶装置。

【請求項2】 前記第1のメモリセルアレイは、前記複数のメモリセルのうち第1のメモリセル列に対応して設けられる第1のビット線対を含み、

前記第2のメモリセルアレイは、

前記複数のメモリセルのうち第2のメモリセル列に対応して設けられる第2のビット線対を含み、

前記第1のセンスアンプ帯は、

前記第1および第2のビット線対に対応して設けられ、センスアンプ活性化信号に応じて活性化し、前記第1、第2のビット線対に読出されたデータを増幅する第1のセンスアンプ回路と、

第1の分離信号に応じて導通状態が制御され、導通時に前記第1のセンスアンプと前記第1のビット線対とを接続する第1のゲート回路と、

第2の分離信号に応じて導通状態が制御され、導通時に前記第1のセンスアンプと前記第2のビット線対とを接続する第2のゲート回路とを含む、請求項1に記載の半導体記憶装置。

【請求項3】 前記第1のセンスアンプ制御回路は、前記センスアンプ活性化信号を駆動する駆動回路を含む、請求項2に記載の半導体記憶装置。

【請求項4】 前記第1のセンスアンプ制御回路は、前記第1、第2の分離信号を駆動する第1、第2の駆動回路を含む、請求項2に記載の半導体記憶装置。

【請求項5】 前記第1のセンスアンプ帯は、

2

第1のイコライズ信号に応じて前記第1のビット線対をイコライズする第1のイコライズ回路と、

第2のイコライズ信号に応じて前記第2のビット線対をイコライズする第2のイコライズ回路とをさらに含み、前記第1のセンスアンプ制御回路は、

前記第1、第2のイコライズ信号を駆動する第1、第2の駆動回路を含む、請求項2に記載の半導体記憶装置。

【請求項6】 前記第4の領域は、

前記第1のメモリセルアレイに対応する第1のブロック選択信号を保持する第1の保持回路をさらに含み、

前記第6の領域は、

前記第2のメモリセルアレイに対応する第2のブロック選択信号を保持する第2の保持回路をさらに含み、

前記センスアンプ制御回路は、前記第1、第2の保持回路の出力に応じて前記制御信号を出力する、請求項1に記載の半導体記憶装置。

【請求項7】 前記第1のメモリセルアレイは、

前記複数のメモリセルのうち第1のメモリセル列に対応して設けられる第1のビット線対を含み、

20 前記第2のメモリセルアレイは、

前記複数のメモリセルのうち第2のメモリセル列に対応して設けられる第2のビット線対を含み、

前記第1のセンスアンプ帯は、

前記第1および第2のビット線対に対応して設けられ、センスアンプ活性化信号に応じて活性化し、前記第1、第2のビット線対に読出されたデータを増幅する第1のセンスアンプ回路と、

第1の分離信号に応じて導通状態が制御され、導通時に前記第1のセンスアンプと前記第1のビット線対とを接続する第1のゲート回路と、

第2の分離信号に応じて導通状態が制御され、導通時に前記第1のセンスアンプと前記第2のビット線対とを接続する第2のゲート回路と、

第1のイコライズ信号に応じて前記第1のビット線対をイコライズする第1のイコライズ回路と、

第2のイコライズ信号に応じて前記第2のビット線対をイコライズする第2のイコライズ回路とを含む、

前記センスアンプ制御回路は、

前記第1の保持回路の出力に応じて前記第1のイコライズ信号を非活性化する第1の駆動回路と、

前記第1の保持回路の出力に応じて前記第2の分離信号を活性化する第2の駆動回路と、

前記第2の保持回路の出力に応じて前記第2のイコライズ信号を非活性化する第3の駆動回路と、

前記第2の保持回路の出力に応じて前記第1の分離信号を活性化する第4の駆動回路と、

前記第1および第2の保持回路の出力に応じて、前記センスアンプ活性化信号を駆動する第5の駆動回路とを有する、請求項6に記載の半導体記憶装置。

50 【請求項8】 前記主表面上において、前記第4の領域

(3)

特開2002-25251

3

～第6の領域をそれぞれ前記第1～第3の領域との間に挟むように配置される第7～第9の領域をさらに備え、前記第7、第9の領域は、

各々が行列状に配置される複数のメモリセルを含み、四角形の形状を有する第3、第4のメモリセルアレイをそれぞれ含み、

前記第8の領域は、

前記第3、第4のメモリセルアレイに共有され、前記第3、第4のメモリセルアレイの間に配置される長方形の第1のセンスアンプ帯を含み、

前記第4、第6の領域は、

それぞれ前記第3、第4のメモリセルアレイに対応して設けられメモリセルの行選択を行なう第3、第4の行デコーダをさらに含み、

前記第5の領域は、

前記第3、第4のメモリセルアレイの列選択を行なう第2の列デコーダと、

前記第2のセンスアンプ帯に制御信号を出力する第2のセンスアンプ制御回路とをさらに含み、請求項1に記載の半導体記憶装置。

【請求項9】 前記第4の領域は、

前記第1、第3のメモリセルアレイに共通に対応する第1のブロック選択信号を保持する第1の保持回路をさらに含み、

前記第6の領域は、

前記第2、第4のメモリセルアレイに共通に対応する第2のブロック選択信号を保持する第2の保持回路をさらに含み、

前記第1、第2のセンスアンプ制御回路は、それぞれ前記第1、第2の保持回路の出力に応じて前記制御信号を出力する、請求項8に記載の半導体記憶装置。

【請求項10】 前記第4の領域は、

前記第1の保持回路の出力を第1の領域選択信号に応じて前記第1のセンスアンプ制御回路に伝達する第1のゲート回路と、

前記第1の保持回路の出力を第2の領域選択信号に応じて前記第2のセンスアンプ制御回路に伝達する第2のゲート回路とをさらに含み、

前記第6の領域は、

前記第2の保持回路の出力を第1の領域選択信号に応じて前記第1のセンスアンプ制御回路に伝達する第3のゲート回路と、

前記第2の保持回路の出力を第2の領域選択信号に応じて前記第2のセンスアンプ制御回路に伝達する第4のゲート回路とをさらに含み、請求項9に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、より特定的には、ロジック回路とともに搭載さ

れて使用されるメモリブロックを備える半導体記憶装置に関する。

【0002】

【従来の技術】大容量のダイナミックランダムアクセスメモリ(DRAM)と大規模なロジック回路を混載したシステムLSIが開発されている。このようなシステムLSIは、近年の半導体プロセスの微細加工技術の進展によって実現が可能となったものである。このようなシステムLSIは、DRAMを内蔵し、チップ内のメモリバス幅を外部端子に制限を受けることなく拡張することができる。バス幅をたとえば従来の18ビットから128～256ビットという多ビットに拡張することによって、データ転送の高速化を図ることができ、デジタル民生機器の高性能化および低消費電力化を図ることができる。

【0003】このようなシステムLSIは、特定用途に向けたIC(ASIC)として製作されることが多い。ASICでは、用途に応じて内蔵されるDRAMもさまざまな記憶容量のコアが要求される。

【0004】図1:2は、従来のDRAMコアのメモリセルアレイとセンスアンプの配置される回路ブロックの配置を説明するための図である。

【0005】図1:2を参照して、メモリセルアレイMA#2の両側には、センスアンプ帯SAB#2、SAB#3が設けられる。センスアンプ帯SAB#2、メモリセルアレイMA#2、センスアンプ帯SAB#3の側方にはそれぞれ列選択制御回路502、行選択制御回路504、列選択制御回路506が設けられている。センスアンプ帯SAB#2、メモリセルアレイMA#2、センスアンプ帯SAB#3にそれぞれ隣接する四角形の領域をセンタークロス回路帯CCCB#2、センター回路帯CCB#2、センタークロス回路帯CCCB#3と称すると、列選択制御回路502は、センタークロス回路帯CCCB#2の内部に設けられる。行選択制御回路504は、センター回路帯CCB#2の内部に設けられる。同様に、列選択制御回路506は、センタークロス回路帯CCCB#3の内部に設けられる。

【0006】図1:3は、図1:2におけるセンタークロス回路帯CCCB#2に入力される信号を説明するためのブロック図である。

【0007】図1:3を参照して、センター回路帯CCB#1には行ブリデコード回路514、アドレスラッチ回路512、行デコーダ516およびセンスアンプ制御回路518が設けられる。

【0008】センター回路帯CCB#2には、行ブリデコード回路524、アドレスラッチ回路522、行デコーダ526およびセンスアンプ制御回路528が設けられる。行ブリデコード回路524、アドレスラッチ回路522、行デコーダ526およびセンスアンプ制御回路528は、図1:2における行選択制御回路504に対応

50

(4)

特開2002-25251

5

6

する。

【0009】センタークロス回路帯CCCB#2には、列デコード回路520が設けられる。列デコード回路520は、図12における列選択制御回路502に対応する。

【0010】行デコーダ516、526は、メモリアルレイの行選択を行なうためにそれぞれ隣接するメモリアルレイに対してメインワード線を駆動する信号MWLD<m:0>を出力している。信号MWLD<m:0>に応じてメモリアルレイでは、ワード線の活性化が行なわれる。

【0011】センスアンプ制御回路528は、メモリアルレイの選択に応じてセンスアンプをビット線に接続し、そしてセンスアンプの活性化を行なう。したがって、従来は、行アドレス処理を行なう点が共通する行ブリデコード回路524や行デコーダ526とともに、センスアンプ制御回路528は図12の行選択制御回路504としてメモリアルレイの横の領域であるセンター回路帯CCB#2に配置されていた。

【0012】その結果、センスアンプ制御回路528は、メモリアルレイMA#2とメモリアルレイMA#1との間に配置されるセンスアンプ帯SAB#2と、図示されていないセンスアンプ帯SAB#3の両方に対してビット線イコライズ信号、ビット線分離信号を出力していた。また、センスアンプ制御回路528は、センスアンプ帯SAB#2に対してセンスアンプ活性化信号SE、/SEを出力していた。

【0013】図14は、図13におけるアドレスラッチ回路522の構成を示す回路図である。

【0014】図14を参照して、アドレスラッチ回路522は、信号XBLK<n>を信号XLAT<bank n>に同期してラッチするラッチ回路532と、信号XBLK<n-1>を信号XLAT<bank n>に同期してラッチするラッチ回路534と、ロウアドレス信号RA<k:0>を信号XLAT<bank n>に同期してラッチするラッチ回路536を含む。

【0015】ラッチ回路532はメモリアルレイ#nが選択された場合にセンスアンプ帯SAB#n、SAB#n+1をメモリアルレイ#nに接続しセンスアンプを使用することを示す信号XBLATLを出力する。

【0016】ラッチ回路534は、メモリアルレイ#n-1が選択された場合にもセンスアンプ帯SAB#nのセンスアンプを活性化するための信号XBLATRを出力する。

【0017】また、ラッチ回路536は、メモリアルブロックの選択に対応して入力されたロウアドレス信号RALAT<k:0>を保持して出力する。このロウアドレス信号RALAT<k:0>は、図13に示した行ブリデコード回路524に対して入力されブリデコードされる。そして、ブリデコードされた信号は行デコーダ13

6に送られ、ワード線を駆動するための信号MWLD<m:0>のいずれかが活性化される。なお、信号XBLK<n>は、信号XBLK<2>に対応している。

【0018】アドレスラッチ回路512は、図14に示したアドレスラッチ回路522と同様な構成を有するので説明は繰返さない。但し、アドレスラッチ回路512の場合は信号XBLK<n>は、信号XBLK<1>に対応する。

【0019】図15は、図13における列デコード回路520の構成を示した回路図である。

【0020】図15を参照して、列デコード回路138は、バンク選択信号YBANK<n>およびアドレスラッチ回路522が出力する信号XBLATLを受けるAND回路542と、バンク選択信号YBANK<n>およびアドレスラッチ回路522が出力する信号XBLATRを受けるAND回路544と、AND回路542、544の出力を受けるNOR回路546と、NOR回路546の出力を受けて反転するインバータ548と、リーフ用コラム選択信号CSLR<i:0>およびインバータ548の出力を受けるNAND回路556と、NAND回路556の出力を受けて反転するインバータ558と、インバータ558の出力を受けて反転しコラム選択線を駆動する信号CSLRD<i:0>を出力するインバータ560を含む。

【0021】列デコード回路520は、さらに、リーフ用コラム選択信号CSLW<i:0>とインバータ548の出力とを受けるNAND回路550と、NAND回路550の出力を受けて反転するインバータ552と、インバータ552の出力を受けて反転しコラム選択線を駆動する信号CSLWD<i:0>を出力するインバータ554を含む。

【0022】図16は、図13におけるセンスアンプ制御回路528の構成を示した回路図である。

【0023】図16を参照して、センスアンプ制御回路528は、信号XBLATLを受けて反転してレベル変換をするレベル変換回路572と、レベル変換回路572の出力を受けてビット線イコライズ信号BLEQR#3を出力するバッファ回路574と、信号XBLATLを受けてレベル変換するレベル変換回路576と、レベル変換回路576の出力を受けてビット線分離信号BLIL#3を出力するバッファ回路578を含む。ビット線イコライズ信号BLEQR#3、ビット線分離信号BLIL#3は、図示しないがメモリアルレイMA#2とメモリアルレイMA#3の間に配置されるセンスアンプ帯SAB#3に対して送信される。

【0024】センスアンプ制御回路528は、さらに、信号XBLATLを受けて反転してレベル変換するレベル変換回路596と、レベル変換回路596の出力を受けてビット線イコライズ信号BLEQL#2を出力するバッファ回路598と、信号XBLATLを受けてレベ

50

(5)

特開 2002-25251

7

ル変換するレベル変換回路600と、レベル変換回路600の出力を受けてビット線分離信号BL1R#2を出力するバッファ回路802とを含む。

【0025】センスアンプ制御回路528は、さらに、信号XBLATR、XBLATLを受けるNOR回路580と、NOR回路580の出力を受けて反転するインバータ582と、インバータ582の出力とセンスアンプの活性化タイミングを示す信号XSEとを受けるNAND回路584と、NAND回路584の出力を受けて反転するインバータ586と、インバータ586の出力をレベル変換するレベル変換回路588と、レベル変換回路588の出力を受けてセンスアンプ活性化信号SE#2を出力するバッファ回路590と、NAND回路584の出力を受けてレベル変換するレベル変換回路592と、レベル変換回路592の出力を受けてセンスアンプ活性化信号/SE#2を出力するバッファ回路594とを含む。

【0026】ビット線イコライズ信号BLEQR#2、ビット線分離信号BL1L#2、センスアンプ活性化信号SE#2、/SE#2は、図示しないがメモリセルアレイMA#1とメモリセルアレイMA#2の間に配置されるセンスアンプ帯SAB#2に対して送信される。

【0027】

【発明が解決しようとする課題】従来、このようなDRAMコアの記憶容量を変更する際には、メモリセルアレイMA#n (nは自然数)の数を増減させることが行なわれていた。

【0028】再び図13を参照して、従来の行および列選択に関連する回路の配置は、列選択に係のある回路がセンタークロス回路帯CCCB#2に配置されて行選択に係のある回路がセンター回路帯CCB#1、CCB#2に配置されていたため、センスアンプ帯SAB#2に入力されるビット線イコライズ信号BLEQR#2、ビット線分離信号BL1L#2およびセンスアンプ活性化信号SE、/SEはセンター回路帯CCB#2に配置されるセンスアンプ制御回路528からセンスアンプ帯SAB#2に与えられている。また、ビット線イコライズ信号BLEQL#2、ビット線分離信号BL1R#2は、センター回路帯CCB#1に配置されるセンスアンプ制御回路518からセンスアンプ帯SAB#2に

入力されている。

【0029】したがって、図12において示されるように、センタークロス回路帯CCCB#2においては、配線の混雑が生じていた。したがって、メモリセルアレイの数を変更する際には、センター回路帯CCB#2とセンタークロス回路帯CCCB#2との間の受渡信号が多いため、設計時に回路や配線の配置を示すレイアウトデータを修正してメモリ容量の変更をすることに労力が必要であった。

【0030】この発明の目的は、メモリセルアレイの

8

の変更が容易に実現できる半導体記憶装置を提供することである。

【0031】

【課題を解決するための手段】請求項1に記載の半導体記憶装置は、半導体基板の主表面上に3行2列のマトリクス状に配置される各々が四角形の形状を有する第1～第6の領域を備え、第1～第3の領域は、第1列に配置され、第4～第6の領域は、それぞれ第1～第3の領域に隣接し、第2列に配置され、第1、第3の領域は、各々が行列状に配置される複数のメモリセルを含み、四角形の形状を有する第1、第2のメモリセルアレイをそれぞれ含み、第2の領域は、第1、第2のメモリセルアレイに共有され、第1、第2のメモリセルアレイの間に配置され、第1、第2の長辺がそれぞれ第1、第2のメモリセルに接する長方形の第1のセンスアンプ帯を含み、第4、第6の領域は、それぞれ第1、第2のメモリセルアレイに対応して設けられメモリセルの行選択を行なう第1、第2の行デコーダを含み、第5の領域は、第1、第2のメモリセルアレイの列選択を行なう第1の列デコーダと、第1のセンスアンプ帯に制御信号を出力する第1のセンスアンプ制御回路とを含む。

【0032】請求項2に記載の半導体記憶装置は、請求項1に記載の半導体記憶装置の構成に加えて、第1のメモリセルアレイは、複数のメモリセルのうち第1のメモリセル列に対応して設けられる第1のビット線対を含み、第2のメモリセルアレイは、複数のメモリセルのうち第2のメモリセル列に対応して設けられる第2のビット線対を含み、第1のセンスアンプ帯は、第1および第2のビット線対に対応して設けられ、センスアンプ活性化信号に応じて活性化し、第1、第2のビット線対に読出されたデータを増幅する第1のセンスアンプ回路と、第1の分離信号に応じて導通状態が制御され、導通時に第1のセンスアンプと第1のビット線対とを接続する第1のゲート回路と、第2の分離信号に応じて導通状態が制御され、導通時に第1のセンスアンプと第2のビット線対とを接続する第2のゲート回路とを含む。

【0033】請求項3に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の構成に加えて、第1のセンスアンプ制御回路は、センスアンプ活性化信号を駆動する駆動回路を含む。

【0034】請求項4に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の構成に加えて、第1のセンスアンプ制御回路は、第1、第2の分離信号を駆動する第1、第2の駆動回路を含む。

【0035】請求項5に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の構成に加えて、第1のセンスアンプ帯は、第1のイコライズ信号に応じて第1のビット線対をイコライズする第1のイコライズ回路と、第2のイコライズ信号に応じて第2のビット線対をイコライズする第2のイコライズ回路とをさらに含み、第1

(5)

特開2002-25251

9

のセンスアンプ制御回路は、第1、第2のイコライズ信号を駆動する第1、第2の駆動回路を含む。

【0036】請求項6に記載の半導体記憶装置は、請求項1に記載の半導体記憶装置の構成に加えて、第4の領域は、第1のメモリセルアレイに対応する第1のブロック選択信号を保持する第1の保持回路をさらに含み、第6の領域は、第2のメモリセルアレイに対応する第2のブロック選択信号を保持する第2の保持回路をさらに含み、センスアンプ制御回路は、第1、第2の保持回路の出力に応じて制御信号を出力する。

【0037】請求項7に記載の半導体記憶装置は、請求項6に記載の半導体記憶装置の構成に加えて、第1のメモリセルアレイは、複数のメモリセルのうち第1のメモリセル列に対応して設けられる第1のビット線対を含み、第2のメモリセルアレイは、複数のメモリセルのうち第2のメモリセル列に対応して設けられる第2のビット線対を含み、第1のセンスアンプ帯は、第1および第2のビット線対に対応して設けられ、センスアンプ活性化信号に応じて活性化し、第1、第2のビット線対に誘出されたデータを増幅する第1のセンスアンプ回路と、第1の分離信号に応じて導通状態が制御され、導通時に第1のセンスアンプと第1のビット線対とを接続する第1のゲート回路と、第2の分離信号に応じて導通状態が制御され、導通時に第1のセンスアンプと第2のビット線対とを接続する第2のゲート回路と、第1のイコライズ信号に応じて第1のビット線対をイコライズする第1のイコライズ回路と、第2のイコライズ信号に応じて第2のビット線対をイコライズする第2のイコライズ回路とを含み、センスアンプ制御回路は、第1の保持回路の出力に応じて第1のイコライズ信号を非活性化する第1の駆動回路と、第1の保持回路の出力に応じて第2の分離信号を活性化する第2の駆動回路と、第2の保持回路の出力に応じて第2のイコライズ信号を非活性化する第3の駆動回路と、第2の保持回路の出力に応じて第1の分離信号を活性化する第4の駆動回路と、第1および第2の保持回路の出力に応じて、センスアンプ活性化信号を駆動する第5の駆動回路とを有する。

【0038】請求項8に記載の半導体記憶装置は、請求項1に記載の半導体記憶装置の構成に加えて、主表面上において、第4の領域～第6の領域をそれぞれ第1～第3の領域との間に挟むように配置される第7～第9の領域をさらに備え、第7、第9の領域は、各々が行列状に配置される複数のメモリセルを含み、四角形の形状を有する第3、第4のメモリセルアレイをそれぞれ含み、第8の領域は、第3、第4のメモリセルアレイに共有され、第3、第4のメモリセルアレイの間に配置される長方形の第1のセンスアンプ帯を含み、第4、第6の領域は、それぞれ第3、第4のメモリセルアレイに対応して設けられメモリセルの行選択を行なう第3、第4の行デ

10

リセルアレイの列選択を行なう第2の列デコーダと、第2のセンスアンプ帯に制御信号を出力する第2のセンスアンプ制御回路とをさらに含む。

【0039】請求項9に記載の半導体記憶装置は、請求項8に記載の半導体記憶装置の構成に加えて、第4の領域は、第1、第3のメモリセルアレイに共通に対応する第1のブロック選択信号を保持する第1の保持回路をさらに含み、第6の領域は、第2、第4のメモリセルアレイに共通に対応する第2のブロック選択信号を保持する第2の保持回路をさらに含み、第1、第2のセンスアンプ制御回路は、それぞれ第1、第2の保持回路の出力に応じて制御信号を出力する。

【0040】請求項10に記載の半導体記憶装置は、請求項9に記載の半導体記憶装置の構成に加えて、第4の領域は、第1の保持回路の出力を第1の領域選択信号に応じて第1のセンスアンプ制御回路に伝達する第1のゲート回路と、第1の保持回路の出力を第2の領域選択信号に応じて第2のセンスアンプ制御回路に伝達する第2のゲート回路とをさらに含み、第6の領域は、第2の保持回路の出力を第1の領域選択信号に応じて第1のセンスアンプ制御回路に伝達する第3のゲート回路と、第2の保持回路の出力を第2の領域選択信号に応じて第2のセンスアンプ制御回路に伝達する第4のゲート回路とをさらに含む。

【0041】

【発明の実施の形態】以下において、本発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【0042】【実施の形態1】図1は、本発明の実施の形態1の半導体記憶装置1の構成を示す概略ブロック図である。

【0043】図1を参照して、半導体記憶装置1は、アドレス信号A0～An、コマンド信号/RAS、/CAS、/WEに応じて各種の制御信号およびクロック信号を発生する制御信号入出力回路2と、制御信号入出力回路2の出力する制御信号に応じてデータの授受を行なうDRAMアレイ回路4と、读出クロック信号RCLK、書き込みクロック信号WCLKに応じてDRAMアレイ回路とデータの入出力を行なうデータ入出力回路6とを含む。

【0044】制御信号入出力回路は、DRAMアレイ回路4に対して信号XSE、XWD、XLATbank:0、XBEKb:0を出力する。信号XSEは、ロウアグティブコマンドACTおよびプリチャージコマンドPREが入力されると、応じて発生される信号であり、センスアンプの活性化および非活性化を制御するタイミングを示す信号である。信号XSEに応じてセンスアンプ活性化信号SE、/SEが最終的に作られる。

【0045】信号XWDは、ACT、PREコマンドが

50

11

入力されると、これらに応じて発生される。信号XWDは、ワード線WLを活性化および非活性化制御するタイミングを示す信号である。信号XBLKは、ロウアドレス信号RA<k:0>から作られる信号であり、ブロックの選択信号である。信号XLAT<bank:0>は、選択されたバンク回路で信号RA、XBLKをラッチする信号である。バンクごとに信号XLATがあり、選択されたバンクでのみ信号RA、XBLKがラッチされる。

【0046】制御信号入出力回路2は、DRAMアレイ回路4に対してさらに、信号CSLW<i:0>、CSLR<i:0>、YBANK<bank:0>、RA<k:0>を出力する。信号CSLWは、ライト用コラム選択信号であり、信号CSLRは、リード用コラム選択信号である。また、信号YBANKは、コラムアドレスにより選択されたバンク選択信号である。

【0047】図示しないが、制御信号入出力回路には、アドレス信号A0~Anを受けるアドレスバッファと、コマンド信号/RAS、/CAS、/WEを受けてこれらの組み合わせによりACT、PRE等のコマンドを認識するデコード処理を行なうコマンドデコード回路と読出クロック信号RCLKおよび書込クロック信号WCLKを発生するクロック発生回路が含まれている。このクロック発生回路はデータ入出力回路8に対して読出クロック信号RCLKおよび書込クロック信号WCLKを出力する。

【0048】DRAMアレイ回路4は、制御信号入出力回路2の出力に応じて行アドレスのデコードおよび列アドレスのデコードおよびセンスアンプ制御などを行なう行/列デコード回路8と、行/列デコード回路8の出力に応じてグローバル入出力線GIO<0>~GIO<n>を介してデータ入出力回路8とデータ授受を行なうメモリブロック10を含む。メモリブロック10は、メモリセルアレイMAとセンスアンプ帯SABに分割されている。

【0049】データ入出力回路8は、グローバルIO線GIOに読出されたデータを増幅するリードアンプ帯とメモリセルアレイに書込を行なうデータをグローバルIO線に対して出力するGIO線ライトドライバとを含む。

【0050】ここで、半導体記憶装置1は、単体の半導体記憶装置として用いられる意外にも、ロジック回路と混成して使用されるDRAMコアをも表わしている。DRAMコアは、従来の半導体記憶装置に比べてデータ入出力信号DQ<n:0>のバス幅が広いのが特徴である。すなわち、データの入出力ノードは数百の数があ

り、接続されるロジック回路とこのDRAMコアとの間のデータの転送速度の向上が図られている。

【0051】図2は、図1におけるDRAMアレイ回路4の配置を示した図である。図2を参照して、メモリブ

(7)

特開2002-25251

12

ロック10に隣接して行/列デコード回路8が設けられている。

【0052】メモリブロック10は、メモリセルアレイMA#1~MA#nと、センスアンプ帯SAB#1~SAB#n+1を含む。メモリセルアレイMA#1とメモリセルアレイMA#2との間に挟まれるセンスアンプ帯SAB#2は、2つのメモリアレイに共有されるセンスアンプ帯である。同様にメモリアレイとメモリアレイとの間に挟まれているセンスアンプ帯は2つの隣接するメモリアレイに共有されるセンスアンプ帯である。すなわち、メモリブロック10は、いわゆるシェアードセンスアンプ構成を有している。

【0053】メモリセルアレイMA#1、MA#2、...、MA#nに隣接する長方形の領域をそれぞれセンタ回路帯CCB#1、CCB#2、...、CCB#nと呼ぶこととする。同様に、センスアンプ帯SAB#1、SAB#2、SAB#3、...、SAB#n+1にそれぞれ隣接する長方形の領域をセンタクロス回路帯CCCB#1、CCCB#2、CCCB#3、...、CCCB#n+1と呼ぶこととする。

【0054】すなわち、行/列デコード回路8は、センタ回路帯とセンタクロス回路帯とに分割して設けられている。

【0055】図3は、センタクロス回路帯およびセンタ回路帯に含まれる回路の説明をするためのブロック図である。

【0056】図3を参照して、センタクロス回路帯CCB#2にはセンスアンプ制御+列デコード回路56が設けられる。センスアンプ制御+列デコード回路56は、信号XSE、CSL<n:0>、XBLAT#1、XBLAT#2に応じてビット線分離信号BLIL#2、ビット線イコライズ信号BLEQL#2、コラム選択信号CSLRD<n:0>、CSLWD<n:0>、センスアンプ活性化信号SE#2、/SE#2、ビット線イコライズ信号BLEQR#2、ビット線分離信号BLIR#2を出力する。これらの信号はセンスアンプ帯SAB#2に対して与えられる。

【0057】センタ回路帯CCB#2にはアドレスラッチ+行デコード回路54が配置される。アドレスラッチ+行デコード回路54は、信号XWD、XLAT、XBLK<2>、RA<k:0>に応じて信号XBLAT#2をセンタクロス回路帯CCCB#2、CCCB#3に対して出力する。また、アドレスラッチ+行デコード回路54は、メモリセルアレイMA#2に配置されるワード線のいずれかを活性化する。

【0058】センタクロス回路帯CCCB#3には、センスアンプ制御+列デコード回路52が配置される。センスアンプ制御+列デコード回路52は、信号XSE、CSL<n:0>、XBLAT#2、XBLAT#3に応じてビット線分離信号BLIL#3、ビット線イ

50

(8)

特開2002-25251

13

コライズ信号BLEQL#3、コラム選択信号CSLRD<n:0>、CSLWD<n:0>、センスアンプ活性化信号SE#3、/SE#3、ビット線イコライズ信号BLEQR#3、ビット線分離信号BLIR#3を出力する。これらの信号はセンスアンプ帯SAB#3に対して与えられる。

【0059】図4は、図3におけるセンスアンプ帯SAB#2の構成を説明するための回路図である。

【0060】図4を参照して、センスアンプ帯SAB#2は、センスアンプ活性化信号SE#2、/SE#2に応じてビット線BL0、/BL0の間の電位差を拡大するセンスアンプ102と、ビット線BL0、/BL0とビット線BL1、/BL1とをそれぞれ分離するためのビット線分離ゲート104と、イコライズ信号BLEQL#2に応じてビット線BL1の電位とビット線/BL1の電位とをイコライズするイコライズ回路108を含む。ビット線分離ゲート104は、ビット線分離信号BLIL#2がHレベルのときに導通状態となり、ビット線分離信号BLIL#2がLレベルのときに非導通状態となる2つのNチャネルMOSトランジスタによって構成されている。

【0061】センスアンプ帯SAB#2は、さらに、ビット線BL0、/BL0とビット線BLR、/BLRとをそれぞれ分離するためのビット線分離ゲート106と、ビット線イコライズ信号BLEQR#2に応じてビット線BLRの電位とビット線/BLRの電位とをイコライズするイコライズ回路110を含む。

【0062】ビット線分離ゲート106は、ビット線分離信号BLIR#2がHレベルのときに導通状態となり、ビット線分離信号BLIR#2がLレベルのときに非導通状態となる2つのNチャネルMOSトランジスタによって構成されている。

【0063】ビット線BL1、/BL1は、メモリセルアレイMA#2に対応して設けられているビット線であり、ビット線BL1とワード線WLの交点には、メモリセルMCが設けられており、メモリセルMCにはワード線の活性化に応じて導通するアクセストランジスタ112と、アクセストランジスタによって一方端がビット線BL1と接続され他方端はセルプレート電位に結合されているキャパシタ114を含む。なお、メモリセルMCは、代表的に1つが示されている。

【0064】ビット線BLR、/BLRは、メモリセルアレイMA#1に対応して設けられているビット線であり、同様にメモリセルが接続されているが、説明は繰返さない。

【0065】また、センスアンプ帯SAB#2に対応して列アドレスによって発生されるコラム選択信号CSL<i>に<i>に応じて導通するコラム選択ゲート122が設けられており、これによって、読出時または書込時にビット線BL0、/BL0がグローバルIO線に接続され

14

る。なお、コラム選択ゲートは列に対応して設けられており、たとえば隣接するビット線対に対応してコラム選択ゲート124が設けられる。

【0066】以上、図4では、センスアンプ帯の構成をメモリセルの1列分に対応する部分を代表的に示して説明した。なお、読出時と書込時で別々のIO線によってデータを伝達する場合には、読出コラム選択信号CSLR、書込コラム選択信号CSLWに応じてそれぞれビット線を別々のIO線に接続するコラム選択ゲートが設けられる。

【0067】図5は、センスアンプ帯SAB#2に入力される信号を説明するためのブロック図である。

【0068】図5を参照して、センタ回路帯CCB#1には行ブリデコード回路142、アドレスラッチ回路144、行デコーダ146が設けられる。

【0069】センタ回路帯CCB#2には、行ブリデコード回路132、アドレスラッチ回路134および行デコーダ136が設けられる。行ブリデコード回路132、アドレスラッチ回路134および行デコーダ136は、図3におけるアドレスラッチ+行デコード回路54に対応する。

【0070】センタクロス回路帯CCCB#2には、列デコード回路138とセンスアンプ制御回路140とが設けられる。列デコード回路138およびセンスアンプ制御回路140は、図3におけるセンスアンプ制御+列デコード回路56に対応する。

【0071】図6は、図5におけるアドレスラッチ回路134の構成を示す回路図である。図6を参照して、アドレスラッチ回路134は、信号XBLK<n>を信号XLAT<bank n>に同期してラッチするラッチ回路152と、ロウアドレス信号RA<k:0>を信号XLAT<bank n>に同期してラッチするラッチ回路154とを含む。ラッチ回路152はメモリセルアレイ#nが選択されたことを示す信号XBLAT#nを出力する。また、ラッチ回路154は、メモリブロックの選択に対応して入力されたロウアドレス信号RALAT<k:0>を出力する。このロウアドレス信号RALAT<k:0>は、図5に示した行ブリデコード回路132に対して入力されブリデコードされる。

【0072】そして、ブリデコードされた信号は行デコーダ136に送られ、ワード線を駆動するための信号MWLD<m:0>のいずれかが活性化される。なお、信号XBLK<n>は、信号XBLK<2>に対応している。

【0073】図5におけるアドレスラッチ回路144は、図7に示したアドレスラッチ回路134と同様な構成を有するので説明は繰返さない。但し、アドレスラッチ回路144の場合は信号XBLK<n>は、信号XBLK<1>に対応する。

【0074】図7は、図5における列デコード回路13

特開2002-25251

16

10

20

30

30

40

【0079】センスアンプ部には、NチャネルMOSトランジスタで構成されるトランズミッションゲート回路が多く用いられる。しきい値電圧分の電圧降下を防ぐため、以上説明したように、センスアンプ部に送られる制御信号のHレベルは、レベル変換回路によってレベル変換される。たとえば、制御信号のHレベルは、内部電源電位 V_{dd} から昇圧電位 V_{pp} にレベル変換される。

【0081】図3に示したように実施の形態1では、ブロック選択信号XBLK<2>が所定のタイミングによってラッチされてアドレスラッチ+行デコード回路54から上下に配置されたセンタークロス回路帯に対してラッチ後の信号XBLAT#2が出力されている。アドレスラッチ+行デコード回路54は、プリチャージが行なわれるまでブロック選択信号をラッチしている。

【0083】このような構成にすることにより、センター回路帯とセンタークロス回路帯の間で授受が行なわれる信号は上下に貫通する制御信号バスを除いては信号XBLAT#2の1本だけになった。したがって、従来のような配線の混雑を避けることができる。

【0085】もう少し詳細に説明すると、メモリセルアレイMA#2を選択する場合、センター回路帯CCB#2に配置されるアドレスラッチ+行デコード回路5.4に入力されるブロック選択信号XBLK<2>が活性化される。この信号はアドレスラッチ+行デコード回路5.4によってラッチされ、センタークロス回路帯CCCB#2、CCCB#3に送信される。応じて、センスアンプ制御+列デコード回路5.6および5.2が動作を行なう。たとえば、ビット線分離信号BLIR#2はLレベルとなり、メモリセルアレイMA#2とセンスアンプ帯SAB#2を挟んで反対側に設けられるビット線はセンスアンプから分離された状態となる。

【0086】次に、ビット線イコライズ信号BLEQL #2がLレベルとなり、メモリセルアレイMA#2のビ

(10)

特開2002-25251

17

ット線イコライズ回路が非活性化される。続いてメモリアレイMA#2のワード線が活性化されると、メモリアレイのデータがビット線に読出されセンスアンプ活性化信号SA#2、/SA#2に応じて読出されたデータの増幅が行なわれる。センスアンプ活性化信号SE、/SEはワード線WLが活性化されビット線にデータが転送された後に活性化される信号XSEに応じたタイミングで活性化される。

【0087】センスアンプで増幅された信号は、センスアンプ制御+列デコード回路56中の列デコード回路によって選択されたコラム選択信号によって必要なデータがグローバルI/O線に読出されることになる。同様な動作がセンタークロス回路帯CCCB#3でも行なわれる。

【0088】以上説明したように、センスアンプ制御を行なう回路は、ラッチされたブロック選択信号XBLATを用いて動作するため複雑な配線を減らすことができる。また、配線長も短くすることができる。さらに、メモリアレイの境界線においてセンタークロス回路帯とメモリアレイの間で授受を行なう信号が減っているの

で、DRAMのメモリ容量を容易に変更することが可能となる。

【0089】さらには、メモリ容量の設計変更を行なう際にも接続切替の処理等が容易なDRAMコア回路を実現できる。

【0090】【実施の形態2】図9は、実施の形態2の半導体記憶装置301の構成を示したブロック図である。

【0091】図9を参照して、半導体記憶装置301は、アドレス信号A0~An、制御信号/RAS、/CAS、/WEおよびハーフページ信号HP<1:0>に応じてクロック信号RCLK、WCLKおよび複数の制御信号を内部に対して供給する制御信号入力回路302と、制御信号入力回路302から与えられる制御信号に応じてデータの読出および書込が行なわれるDRAMアレイ回路304と、DRAMアレイ回路304とこの半導体記憶装置301に接続されるロジック回路などとの間でデータの授受を行なうデータ入出力回路306、316を含む。

【0092】制御信号入力回路は、データ入出力回路306、316に対して読出クロックRCLKおよび書込クロック信号WCLKを発生して供給するクロック発生回路およびアドレス信号A0~Anを行アドレスまたは列アドレスとしてラッチする行/列アドレスバッファと、制御信号/RAS、/CAS、/WEの組合せに応じてコマンドの認識を行なうコマンドデコード回路を含んでいる。

【0093】DRAMアレイ回路304は、中央部に行/列デコード回路308を含み、その両側にメモリブ

18

ック310とメモリブロック320とを含んでいる。メモリブロック310、320は、図1に示したメモリブロック10と同様な構成を有しており、説明は繰返さない。

【0094】これらの2つのメモリブロックは、制御信号入力回路に与えられるハーフページ信号HP<1:0>に応じて選択されて動作を行なう。メモリブロック310、320の両方に同時にアクセスをする場合には、ハーフページ信号HP<1>、HP<0>を両方ともHレベルに設定する。どちらか一方を選択する場合には、ハーフページ信号HP<1:0>のうちの1ビットをHレベルに設定すれば、対応するメモリアレイの選択が行なわれる。必要に応じて動作させるメモリブロックを選択することにより動作電流を削減することができる。

【0095】図10は、図8における行/列デコード回路308とメモリブロック310、320との間の信号の授受を説明するための図である。

【0096】図10を参照して、メモリブロック310のメモリアレイMA#1DとMA#2Dの間にはセンスアンプ帯SAB#2Dが設けられている。図5に示した配置と同様に、メモリアレイMA#1Dに隣接してセンター回路帯CCB#1が設けられており、センスアンプ帯SAB#2Dに隣接してセンタークロス回路帯CCCB#2が設けられており、メモリアレイMA#2Dに隣接してセンター回路帯CCB#2が設けられている。

【0097】センター回路帯CCB#1のメモリアレイMA#1Dに接する辺と反対側の辺には図9のメモリブロック320に含まれるメモリアレイMA#1Uが配置される。すなわち、センター回路帯CCB#1を挟むようにメモリアレイMA#1Dに対向してメモリアレイMA#1Uが配置される。同様に、センタークロス回路帯CCCB#2を挟むようにセンスアンプ帯SAB#2Dに対向してセンスアンプ帯SAB#2Uが配置される。

【0098】同様に、センター回路帯CCB#2を挟むようにメモリアレイMA#2Dに対向してメモリアレイMA#2Uが配置される。センター回路帯CCB#1にはアドレスラッチ回路344、行ブリデコード回路342および行デコーダ346、366が配置される。センター回路帯CCB#2にはアドレスラッチ回路334と、行ブリデコード回路332と、行デコーダ336、356が配置される。

【0099】センタークロス回路帯CCCB#2には列デコード回路338、358と、センスアンプ制御回路340、360とが配置される。

【0100】図11は、図10におけるアドレスラッチ回路334の構成を示した回路図である。

【0101】図11を参照して、アドレスラッチ回路334は、ブロック選択信号XBLK<n>をラッチのタ

50

特開2002-25251

20

10

20

30

40

50

【図14】 図13におけるアドレスラッチ回路522

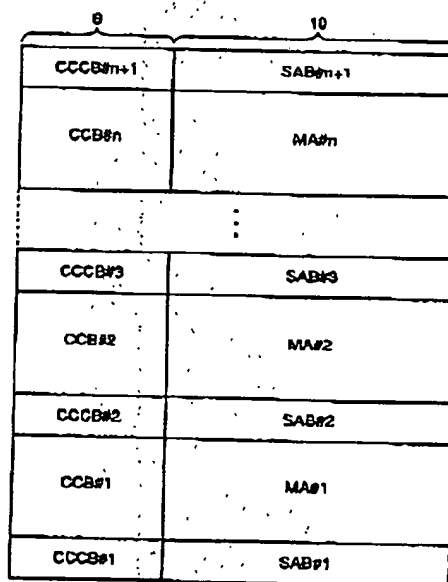
特開2002-25251

22

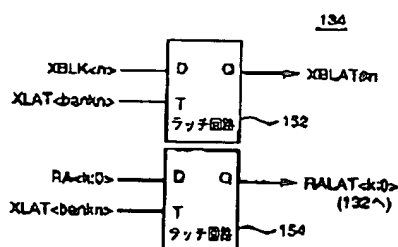
1, 301 半導体記憶装置、2 制御信号入出力回路、4, 304 DRAMアレイ回路、6, 306, 316 データ入出力回路、8, 52, 56, 338, 358, 360 列デコード回路、10, 310, 320 メモリブロック、54 行デコード回路、102 センスアンプ、104, 106 ビット線分離ゲート、108, 110 イコライズ回路、112 アクセストランジスタ、114 キャパシタ、122, 124 コラム選択ゲート、132, 142, 332, 342 行ブ*

* リデコード回路、134, 144, 334 アドレスラ
ッチ回路、136, 146 行デコーダ、138, 30
8, 338 列デコード回路、140, 340, 360
センスアンプ制御回路、152, 154, 972, 3
78 ラッチ回路、194, 198, 210, 214,
218, 222 バッファ回路、192, 196, 20
8, 212, 216, 220 レベル変換回路、302
制御信号入力回路、338, 356, 348, 366
行デコーダ、BLO、/BLO, BLL、/BLL,
BLR、/BLR ヒット線、CCBセンター回路帯、
CCCB センタークロス回路帯、DQ 入出力ノー
ド、GIO グローバル入出力線、MA メモリセルア
レイ、SAB センスアンプ帯、MC メモリセル、W
L ワード線

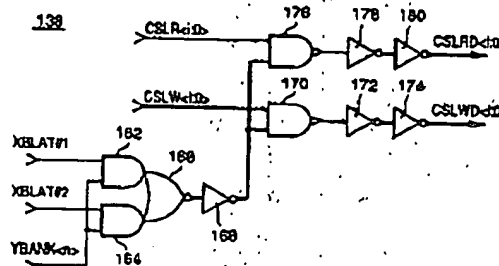
【图2】



【圖 6】

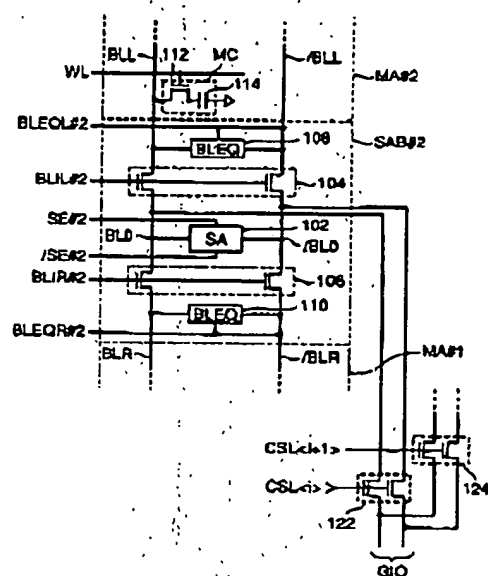


【圖7】

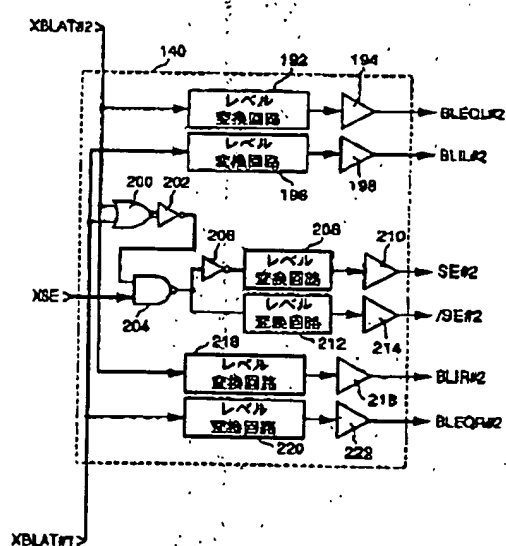


特開2002-25251

【圖4】



·【圖 8.】



特開2002-25251

[illegible]

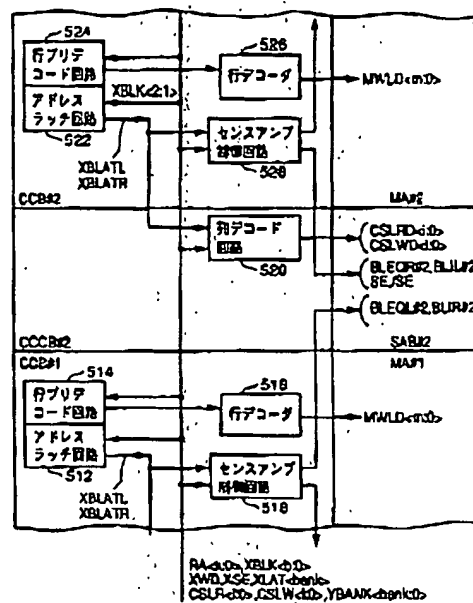
334

```
graph LR
    XBLAT_dn[XBLAT<dn>] --> D1[D]
    XLAT_bank[XLAT<bank>] --> T1[T]
    D1 --> Q1[Q]
    T1 --> Q1
    Q1 -- 372 --> AND374[AND 374]
    HP_dn[HP<dn>] --> AND374
    AND374 --> XBLATD#[XBLATD#]
    RACK_dn[RACK<dn>] --> D2[D]
    XLAT_bank --> T2[T]
    D2 --> Q2[Q]
    T2 --> Q2
    Q2 -- 378 --> AND376[AND 376]
    HP_1[HP<1>] --> AND376
    AND376 --> XBLATU#[XBLATU#]
```

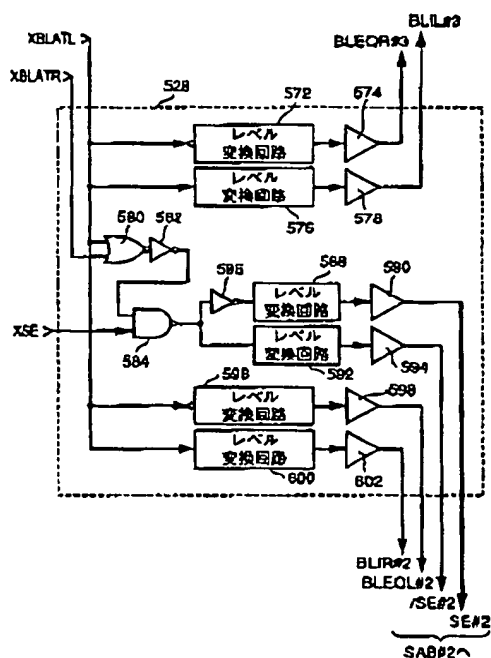
[illegible]

特開2002-25251

(圖 13)



【图 16】



(16)

特開2002-25251

フロントページの続き

(72)発明者 高嶋 茂樹
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

Fターム(参考) 5B024 AA15 BA10 BA29 CA16 CA21
5F083 AD00 GA05 LA03 LA04 LA05
LA07 LA09 LA10 LA12 LA25
ZA12